

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-508222

(43) 公表日 平成9年(1997)8月19日

(51) Int. Cl. ⁸	識別記号	序内整理番号	F I
G 0 9 G 3/36		9471-5H	G 0 9 G 3/36
G 0 2 F 1/133	5 5 0	7709-2K	G 0 2 F 1/133 5 5 0

審査請求 未請求 予備審査請求 未請求(全 36 頁)

(21) 出願番号 特願平8-516707
 (86) (22) 出願日 平成7年(1995)10月31日
 (85) 翻訳文提出日 平成8年(1996)7月24日
 (86) 国際出願番号 P C T / I B 9 5 / 0 0 9 4 1
 (87) 国際公開番号 W O 9 6 / 1 6 3 9 3
 (87) 国際公開日 平成8年(1996)5月30日
 (31) 優先権主張番号 9 4 2 3 7 0 5 . 4
 (32) 優先日 1994年11月24日
 (33) 優先権主張国 イギリス (G B)
 (31) 優先権主張番号 9 5 0 7 4 1 4 . 2
 (32) 優先日 1995年4月10日
 (33) 優先権主張国 イギリス (G B)

(71) 出願人 フィリップス エレクトロニクス ネムローゼ フェンノートシャップ
 オランダ国 5621 ペーアー アイन्दール
 フェンフルーネヴァウツウェッハ 1
 (72) 発明者 ビットザキディス ステファノス
 イギリス国 サリー アールエイチ1 4
 ディーキュー レッドヒル ヒルビュー
 ドライブ 9
 (72) 発明者 フランシス アンドリユー マイケル
 イギリス国 サリー アールエイチ2 0
 ビーキュー レイゲイト クロイドン ロード 38
 (74) 代理人 弁理士 杉村 暁秀 (外1名)
 最終頁に続く

(54) 【発明の名称】 アクティブマトリックス液晶表示装置及びこのような装置の駆動方法

(57) 【要約】

各々が切替装置(25, 26)を含み、かつ、選択信号及びデータ信号がそれぞれ供給される行列アドレス導体(14, 16)のセットを介して駆動回路(20, 21, 22, 24, 27, 40)によって駆動される画像素子(12)の行列アレイを有するアクティブマトリックス液晶表示装置は、列導体(16)に供給される前に、画像素子が次にアドレス指定されるまでの周期中同一列導体を用いる他の画像素子用のデータ信号の値から獲得した補償値に応じて画像素子用のデータ信号を調整して、画像素子の容量性カップリングの影響が原因の垂直クロストークの次の影響を補償するデータ信号調整回路(40)を含む。補償する調整を決定するに当たり、供給されるビデオ信号中のブランク間隔及び電流の漏れの影響を考慮することもできる。

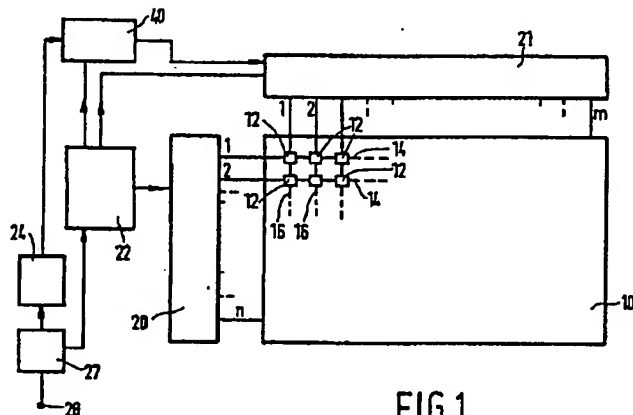


FIG.1

【特許請求の範囲】

1. 各々が液晶表示素子及びその液晶表示素子に接続した切替装置を具える画像素子のアレイを具える表示パネルと、前記画像素子に接続した行列アドレス導体のセットと、データ信号を列アドレス導体に供給するとともに、前記画像素子の各行を次から次へと選択するために行アドレス導体を繰り返し走査し、関連の列アドレス導体に供給されたデータ信号に応じて、選択した行の表示素子を駆動する駆動回路とを有するアクティブマトリックス表示装置において、前記駆動回路は、前記表示素子とそれらに関連する列アドレス導体との間の容量性カップリングが原因の表示パネル中の垂直クロストークの影響を補償するデータ信号調整回路を含み、このデータ信号調整回路は、前記データ信号が供給されるとともに、前記画像素子が次にアドレス指定されるまでの周期中に画像素子として同一列アドレス導体に接続した他の画像素子の少なくとも一部用のデータ信号から獲得されるクロストーク補償値に応じて画像信号に対する入力データ信号を調整する入力部と、前記画像素子を駆動するために、調整したデータ信号を前記列アドレス導体に供給する出力部とを有することを特徴とするアクティブマトリックス表示装置。
2. 前記データ信号調整回路は、画像素子に対する入力データ信号の補償値を、前記同一列アドレス導体に接続した他の画像素子のうちの少なくとも一部に対して意図した前記入力データ信号の値と、少なくとも前記切替装置のキャパシタンスに値が依存する前記画像素子の容量性カップリング係数とに応じて決定するようにしたことを特徴とする請求の範囲 1 記載のアクティブマトリックス表示装置。
3. 前記データ信号調整回路を、前記同一列に関連するほとんど全ての前記他の画像素子用のデータ信号から、画像素子のクロストーク補償値を獲得するように配置したことを特徴とする請求の範囲 1 又は 2 記載のアクティブマトリックス表示装置。
4. 前記データ信号調整回路は、入力データ信号がフィールド周期中保持される記憶装置を含み、この記憶装置から、データ信号が読み出されるとともに、そ

れらデータ信号を、前記フィールド周期中記憶装置に保持された同一列の画像素子に対する前記入力データ信号の値から決定されたクロストーク補正值に応じて調整するようにしたことを特徴とする請求の範囲 1 から 3 のうちのいずれかに記載のアクティブマトリックス表示装置。

5. 前記データ信号調整回路は、直前フィールド周期中データ信号入力の値から獲得されたクロストーク補償値に応じて入力データ信号を調整するようにしたことを特徴とする請求の範囲 1 から 3 のうちのいずれかに記載のアクティブマトリックス表示装置。

6. 前記データ信号調整回路を、連続するフィールド周期中列に対する前記入力データ信号によって決定した値が予め設定された量相違する場合、前記列に対する入力データ信号の調整を行わないようにして、前記列に対する入力データ信号を調整なしで前記列の画像素子に供給するように配置したことを特徴とする請求の範囲 5 記載のアクティブマトリックス表示装置。

7. 前記データ信号調整回路は、所定の列の画像素子に対する入力データ信号を

$$V_n = V_c - \Delta V_p$$

にほぼ応じて調整し、 V_c 及び V_n をそれぞれ、入力データ信号及び調整したデータ信号とし、 ΔV_p を、

$$\Delta V_p = \frac{1}{\sqrt{n-1}} \sqrt{\sum_{i=2}^{i=n} (V_p + cV_c(i))^2} - V_p$$

で与え、 n を画像素子の行の数とし、 $V_c(i)$ を、同一列アドレス導体に接続した他の画像素子に対する意図した個々のデータ信号電圧とし、 V_p を、意図した表示素子の電圧とし、 c を、画像素子の浮遊キャパシタンスによって決定した容量性カップリング係数としたことを特徴とする請求の範囲 1 記載のアクティブマトリックス表示装置。

8. 連続するフィールドがフィールドブランク間隔によって分離されたビデオ信号としてデータ信号を発生させる請求の範囲 7 記載のアクティブマトリックス

表示装置において、前記データ信号調整回路を、前記同一導体に関連する全ての画像素子に対するデータ信号及び前記ビデオ信号のフィールドブランクレベルに応じて獲得されるクロストーク補償値を発生させるよう使用することができるようにしたことを特徴とする請求の範囲 7 記載のアクティブマトリックス表示装置。

9. 切替装置に接続した液晶表示素子を各々が具えるとともに行列アドレス導体のセットに接続された画像素子の行列アレイを有するアクティブマトリックス表示装置を駆動する方法であって、選択信号を行アドレス導体に供給して、前記画像素子の各行を順に選択するとともにデータ信号を前記列アドレス導体に供給し、これにより、前記画像素子の選択した行の表示素子を、それらの関連の列アドレス導体上のデータ信号に応じて駆動し、前記画像素子の行を、順次のフィールド周期で繰り返し駆動するに当たり、列アドレス導体に関連する画像素子用のデータ信号を、前記列アドレス導体に供給する前に、前記画像素子を次にアドレス指定するまでの周期中、列アドレス導体に関連する他の画像素子の少なくとも一部を駆動するのに使用すべきデータ信号の値によって決定したクロストーク補償値に応じて、前記表示素子とそれらに関連した列アドレス導体との間の容量性カップリングが原因である前記表示パネル中の垂直クロストークの影響を補償するように調整することを特徴とするアクティブマトリックス表示装置駆動方法。
10. 各入力データ信号を、フィールド期間中記憶装置に保持し、その後、そのフィールド期間中前記記憶装置にロードされる同一列の前記他の画像素子に対する入力データ信号の値から獲得したクロストーク補償値に応じて調整することを特徴とする請求の範囲 9 記載のアクティブマトリックス表示装置駆動方法。
11. 入力データ信号を、直前フィールド周期中前記同一列入力の画像素子に対するデータ信号の値から獲得されるクロストーク補償値に応じて調整することを特徴とする請求の範囲 9 記載のアクティブマトリックス表示装置駆動方法。

【発明の詳細な説明】

アクティブマトリックス液晶表示装置及びこのような装置の駆動方法

本発明は、各々が液晶表示素子及びその液晶表示素子に接続した切替装置を具える画像素子のアレイを具える表示パネルと、前記画像素子に接続した行列アドレス導体のセットと、データ信号を列アドレス導体に供給するとともに、前記画像素子の各行を次から次へと選択するために行アドレス導体を繰り返し走査し、関連の列アドレス導体に供給されたデータ信号に応じて、選択した行の表示素子を駆動する駆動回路とを有するアクティブマトリックス表示装置に関するものである。また、本発明は、このような表示装置の駆動方法に関するものである。

上記種類の表示装置は既知である。このような装置に用いられる切替装置は、薄膜ダイオード(TFD)、MIMs等のような2端子の非線形装置又はTFTのような3端子の装置を具えることができる。ダイオードタイプの表示装置の例及びTFTタイプの表示装置の例は、米国特許明細書第5159325号及び米国特許明細書第4845482号にそれぞれ記載されている。2端子の切替装置を用いる表示装置の場合、行列アドレス導体の交差セットは通常、各透明プレート上に支持される。切替装置は、それらの各表示素子に隣接する基板のうちの一つの上に支持されるとともに、表示素子とそれに関連する供給盤上のアドレス導体、通常は行アドレス導体との間に直列接続されている。TFTを用いる表示装置の場合、行列アドレスのセットは、表示素子及びアドレス導体のセット間の各交差部に隣接するTFTとともに、二つの離間した基板のうちの一つの上に支持され、それに対して他の基板は共通電極を支持する。各TFTは、それに関連する表示素子電極及び各行列アドレス導体に接続されている。両種類の表示装置の場合、行列アドレス導体に接続した駆動回路は、選択信号を各行導体に順に供給するとともに、データ信号を列導体に供給し、これにより、選択した行の表示素子が、各切替装置を介して、関連の列導体のデータ信号の値に依存するレベルまで充電されて、所望の表示出力の影響を発生させる。画像素子の行は、このようにして各行アドレス周期中個々に

順番に駆動されて、1フィールド周期全体に亘る表示画像を確立する。画像素子は、同様にして順次のフィールド周期中繰り返しアドレス指定される。このよう

な表示装置は、データグラフ表示目的又はビデオ画像に好適である。データ信号はこの場合、入力ビデオ例えばTV信号をサンプリングすることにより獲得される。

これら表示装置の問題は、列カップリング現象の問題及びこの現象に関連する垂直クロストークの影響である。この現象は、各画像素子回路、例えば、列アドレス導体と表示素子電極との間の寄生若しくは浮遊容量の影響により、すなわち、切替回路、例えば、ソース端子及びドレイン端子を列導体及び表示素子電極にそれぞれ接続したTFTの自己キャパシタンスの結果として生じる。このようなキャパシタンスの結果、列導体上に存在し、かつ、選択されたものとして列導体に関連した画像素子を駆動するのに使用する目的のデータ電圧信号は、列の非選択画像素子に結合し、これにらり分離していると予測される表示素子の出力に悪影響が及ぼされる。この垂直クロストークを、同一列の他の表示素子に対して意図したデータ信号に応じる所定の表示素子上のRMS電圧に依存するものと考えられる。

このようなクロストークの問題は、この影響を軽減させる提案が記載されている米国特許明細書第4845482号に記載されており、これによれば、ゲーティング（選択）信号を、基準行アドレス指定周期より短い時間中行導体に供給し、データ信号をこの時間中列導体に供給し、補償信号を周期の残りの間列導体に供給し、この補償信号をデータ信号の補数の関数として、列導体に接続した他の画像素子に生じたデータ信号の結果としての任意のクロストークを減少させる。しかしながら、行アドレス指定周期が短縮されるので、表示素子を、通常より短い時間で充電する必要があり、これは、TFTに及ぼす老化の影響及び比較的高電圧の行駆動回路を必要とすることを含む多数の不都合を有する、より高いゲーティング電圧を用いることが要求される。

表示素子と列又は行導体との間に二つの端子の切替装置を用いる表示装置の垂直クロストークの程度は、表示素子キャパシタンスに関する切替素子のギョパシタンスに大幅に依存する。

表示画像には、垂直クロストークは、画像の特に明るい又は暗い区域の上下に

延在する相違した輝度のバンドとしてそれ自体最も明確に現れる。この影響の大きさは、表示装置の駆動方法に依存する。フィールド反転が用いられる場合この影響が考慮されるおそれがある。この影響を、フリッカを除去する目的でライン反転駆動形態を用いることにより減少させることができる。この場合、行導体に供給されるデータ信号は各行を反転し、その結果結合した列電圧は交互の正及び負の値を有し、これにより全体に亘って結合したRMS 電圧を零に近づけるとともに垂直クロストークの量を減少させる。単一ライン反転を用いると、2色のみを有する画像素子に各列導体を結合する場合、デルタカラーフィルタパターンを用いるカラー表示装置に問題が生じるおそれがある。この場合、赤のような原色の広大な区域に対するデータ信号は、全くの黒又は白の区域に対するデータ信号と同一であり、多量のクロストークが生じるおそれがある。また、コンピュータのデータグラフの表示では、あるビデオパターンの性質により反転プロシージャをキャンセルするおそれがあり、これにより垂直クロストークがより顕著になる。

米国特許明細書第2892389号には、クロストークの影響を減少させるために、二つの端子の非線形切替装置を用いる液晶表示装置を駆動する方法が記載されている。この場合、利用できる行選択周期の一部の間のみデータ信号を列導体に供給し、ほぼ同時に行選択信号を行導体に供給し、かつ、利用できる行選択周期の残りの部分中、非選択信号を行導体に供給するとともに基準信号を列導体に供給する。このアプローチの不都合は、米国特許明細書第4845482号の場合のように、そのデータ信号を用いて表示素子を駆動する時間を、利用できる選択周期の一部に減少する必要があるという問題が生じることである。より高いピーク電流を切替装置に流す必要があり、これは、切替装置を損傷し又は少なくとも不所望な老化の影響を及ぼすおそれがある。

本発明の目的は、垂直クロストークの可視の影響を上記不都合なく減少させることができる向上したアクティブマトリックス表示装置及びこのような表示装置を作動させる方法を提供することである。

本発明の一態様によれば、前記駆動回路は、前記表示素子とそれらに関連する

列アドレス導体との間の容量性カップリングが原因の表示パネル中の垂直クロス

トークの影響を補償するデータ信号調整回路を含み、このデータ信号調整回路は、前記データ信号が供給されるとともに、前記画像素子が次にアドレス指定されるまでの周期中に画像素子として同一列アドレス導体に接続した他の画像素子の少なくとも一部用のデータ信号から獲得されるクロストーク補償値に応じて画像信号に対する入力データ信号を調整する入力部と、前記画像素子を駆動するために、調整したデータ信号を前記列アドレス導体に供給する出力部とを有することを特徴とする冒頭で説明した種類のアクティブマトリックス表示装置を提供する。

本発明の他の態様によれば、切替装置に接続した液晶表示素子を各々が具えるとともに行列アドレス導体のセットに接続された画像素子の行列アレイを有するアクティブマトリックス表示装置を駆動する方法であって、選択信号を行アドレス導体に供給して、前記画像素子の各行を順に選択するとともにデータ信号を前記列アドレス導体に供給し、これにより、前記画像素子の選択した行の表示素子を、それらの関連の列アドレス導体上のデータ信号に応じて駆動し、前記画像素子の行を、順次のフィールド周期で繰り返し駆動するに当たり、列アドレス導体に関連する画像素子用のデータ信号を、前記列アドレス導体に供給する前に、前記画像素子を次にアドレス指定するまでの周期中、列アドレス導体に関連する他の画像素子の少なくとも一部を駆動するのに使用すべきデータ信号の値によって決定したクロストーク補償値に応じて、前記表示素子とそれらに関連した列アドレス導体との間の容量性カップリングが原因である前記表示パネル中の垂直クロストークの影響を補償するように調整することを特徴とするアクティブマトリックス表示装置駆動方法を提供する。

本発明は、どちらかといえば、列アドレス導体上のデータ信号が原因の垂直クロストークの量の減少を試みるという認識に起因し、列カップリング現象により垂直クロストークの影響を、データ信号が画像素子に供給される前に画像素子の列用のデータ信号を変更することにより補償して、これら画像素子に対するデータ信号が原因の予期される列カップリングを許容することができ、したがって、これらデータ信号が適切な画像素子に供給された後、個々の画像素子上の垂直クロストークの影響により、表示素子がほぼ意図された正確な電圧を有する

ようになり、その結果、表示素子が、このような調整前にデータ信号の値により決定したような意図した出力に近い出力が発生する。上記米国特許明細書第4845482号及び米国特許明細書第4892389号に記載されたようなアプローチと異なり、本発明は、減少すべき画像素子アドレス周期が必要でなく、したがってこれにより生じる問題は回避される。実際に達成される利益は、画像素子にデータ信号を供給する前に個々の画像素子に対するデータ信号の必要な補正を実行する手段を設ける必要を補って余りある。

クロストークの影響を減少させるのに加えて、本発明は、別の重大な利点を提供する。垂直クロストークの結果は画像素子のサイズに予め制限を課す。例えば、高密度アレイを提供するために画像素子サイズが減少するに従って、列カップリング係数が増大するとともに垂直クロストークが悪化しはじめる。これは、行反転駆動技術によりクロストークを十分に減少できない場合には制限となる。本発明によれば、このような画像素子サイズの制限を克服することができる。

画像素子のアドレス指定に続くフィールド周期中に同一アドレス導体に接続した他の画像素子のうちの少なくとも一部に対して意図したデータ信号に応じて獲得した画像素子用の入力データ信号のクロストーク補償値を、好適には、少なくとも切替装置のキャパシタンスに値が依存する画像素子の容量性カップリング係数に応じて、データ信号調整回路内で決定する。切替装置の寄生キャパシタンスは、垂直クロストークの程度を決定する際に最も影響を及ぼしやすいが、例えば、TFT表示装置の列導体と表示素子電極との間又はTFD表示装置の行導体と表示素子電極との間の画像素子回路の他の浮遊キャパシタンスを、補正の効率を補償により十分向上させる容量性カップリング係数を決定する際に考慮することができる。

ある種の表示用途に対しては、列アドレス導体に関連する画像素子の一部であるが全てに対するデータ信号の値に応じてデータ信号を補償することにより、十分な向上を獲得することができるが、好適には、最適結果を獲得するために、列アドレス導体に関連したほとんど全ての他の画像素子用のデータ信号を考慮することにより、データ信号の変形を達成する。考慮された列アドレス導体に供給されるデータ信号電圧の数とともに本発明の結果としてのクロストークの減少がほ

ほぼ線形的に変化することが確認されている。

大抵の表示の状況で有効な補償を行うために、入力データ信号に対して行われる調整を、好適には、入力データ信号を有する特定の画像素子のアドレス指定に続くフィールド周期中、同一列の他の画像素子に対する入力データ信号の値に応じて行う。したがって、好適例では、入力データ信号を、フィールド周期の間調整回路の記憶装置に保持し、その後、そのフィールド周期中に記憶装置に保持された同一列の画像素子に対する入力データ信号の値から決定された補償値に応じて、入力データ信号を調整する。記憶装置が必要とされる。その理由は、供給されたビデオ信号により実データ信号が決定されるので、関連の入力データ信号を有する画像素子のアドレス指定の前に他の画像素子用の実データ信号を知る必要があるからである。補償値の獲得に用いられる意図されたデータ信号はその後、供給されたビデオ信号に応じて、使用すべき実データ信号となる。実際には、フィールド記憶装置を、データ信号を保持するために用いることができる。

より簡単なアプローチを、所定の状況、特に、主に静止像又は静止部を含む像を主に表示するのに表示装置を使用する場合に用いることができる。したがって、他の例では、データ信号調整回路は、直前フィールド周期中、データ信号入力の値から獲得されたクロストーク補償値に応じて、入力データ信号を調整する。したがって、このアプローチにより、補償値の獲得に用いられる意図したデータ信号を、同一列の他の画像素子に対する実入力データ信号の代わりに、仮定したデータ信号とする。このデータ信号は、次のフィールド周期に対するデータ信号が、例えばフィールド反転の場合の符号の変化を用いる場合を除いて、静止画像に対して同一のままであるということに基づいて予測される。換言すれば、実際の、将来のデータ信号電圧を、現在のデータ信号電圧を単に負にしたものと仮定することができる。したがって、現在のデータ信号値を、将来のデータ信号値を予測するのに使用することができる。したがって、フィールド記憶装置を設ける必要がなくなる。データ信号予測は、入力データ信号が返歌されて相違する表示像を提供する場合には当然不正確となる。しかしながら、データ信号調整を補正する前の二つの表示像間のこのような変化の影響は、目立たない2フィールドに制限される。しかしながら、好適には、連続動作を表示すべき状況に適合させる

ために、データ信号調整回路を配置して、連続するフィールド中に列に対する入力データ信号に依存する値を比較するとともに、連続するフィールド中の値が所定の量相違する場合には列に対する入力データ信号の調整を行わないようにする。したがって、入力データ信号を、クロストーク補償の調整を行うことなく、関連の列の画像素子をアドレス指定するのに用いる。クロストークの影響が存在しなくても、これら影響は、不正確な予測データ信号に基づく調整を継続する場合に生じる影響に比べて見えにくくなる。

好適には、データ信号を、同一列アドレス導体に接続した他の画像素子に対する意図したデータ信号によって決定した補償係数、意図した表示素子電圧及び画像素子回路に対する容量性カップリング係数に応じて実際に調整する。このカップリング係数は、例えば、表示素子キャパシタンス及び浮遊キャパシタンス、特に切替装置の寄生キャパシタンスに依存する。

連続するフィールドがフィールドブランク間隔によって分離された供給されるビデオ例えばTV信号からデータ信号を獲得する場合、ブランク間隔がフィールド周期の重要な部分となりうるので、調整したデータ信号の獲得も考慮することができる。

補償値は、容量性カップリングの影響のみに依存する必要がなく、切替装置の漏れ電流の影響を考慮して獲得することもできる。例えば装置の固有の応答すなわち光感知特性が原因でTFT 又はMIMs及びTFD のような二つの端子の装置で発生しうるような漏れ電流の影響は、列アドレス導体に現れる電圧のレベルに同様に依存する。このような漏れ電流に対する補正を、補正值の計算に用いられる式を適切に変形することにより、補正值に組み込むことができる。

本発明によるようなアクティブマトリックス液晶表示装置および駆動方法を、添付した図の参照とともに例として記述する。ここで、

図1は、本発明によるアクティブマトリックス表示装置の実施例の単純化した図式的なブロック図であり、

図2Aおよび2Bは、表示装置の画素の選択的な形態を説明し、

図3は、図1に示す表示装置の駆動回路の一実施例の一部の回路配置および動作を図式的に示し、

図4は、表示装置の駆動回路の第2実施例の一部の動作を図式的に説明し、

図5は、図3の駆動回路と比較しうる駆動回路の第2実施例の一部の回路配置を図式的に説明し、

図6および7は、前記駆動回路の第2実施例の実際的な回路の実現および動作を図式的に説明する。

同じ参照符を、全体を通して、同一のまたは同様の部品を示すために使用したことを理解されたい。

図1を参照すると、アクティブマトリックス表示装置は、ビデオ、例えば、TV、画像、またはデータグラフィック情報を表示することを目的とし、液晶表示パネル10を含む液晶表示装置を具える。パネル10は、画素12の n 行および m 列から成る行列アレイを有し、これらの画素の各々は、行列駆動回路20および21によって駆動信号が供給される行列アドレス導線14および16の組間の各々の交差部に近接して位置する。パネル10を、既知の種類のものとし、前記画素用のスイッチング装置として、TFT、または、2端子非線形装置を使用する形式のものとすることができる。図2Aおよび2Bは、各々、TFTアクティブマトリックスパネルおよび2端子非線形装置アクティブマトリックスパネルの代表的な画素の回路配置を示す。前者の図2Aにおいて、TFT 25のゲートを行アドレス導体14に接続し、そのソースおよびドレイン端子を、列アドレス導体および表示素子30の電極に各々接続する。前記パネルの、導体14および16の組と、TFTと、表示素子電極とを、前記パネルの例えばガラスである第1透明基板上にすべて収容し、この基板を、第2透明基板から間隔をおいて配置し、これらの基板間に例えばツイストネマチックLC材料である液晶材料を配置する。前記第2基板に収容された連続透明電極の各々の部分は、前記表示素子の第2電極を構成し、これらによって、各々の表示素子30は、間隔を置いた電極対を構成し、これらの間に挟まれたLC材料を有する。後者の図2Bにおいて、例えばMIM装置である2端子非線形スイッチング装置26か、背中合わせのダイオードか、MSM（金属—半導体—金属）装置または他のTFDか、同様のものかを、行アドレス導体と表示素子電極との間に接続する。前記表示素子電極を、行アドレス導体の組

と、装置 26 と共に第 1 透明ガラス基板において收容し、この基板を第 2 基板から間隔をおいて配置し、これら 2 つの基板間に液晶材料を配置する。前記第 2 基板は、列アドレス導体の組を構成するストリップ電極の組を收容し、前記表示素子電極上に横たわるこれらの列導体の部分が、第 2 表示素子電極を形成し、結果として、再び、各々の表示素子 30 は、2 つの間隔をおいて配置された電極と、これらの間に挟まれた LC 材料とによって構成される。前記表示素子と行導体とを接続する代わりに、前記スイッチング装置を、前記列導体と同じ基板上に形成し、前記列導体と前記表示素子とを接続してもよい。双方の形式のパネルにおいて、同じ行におけるすべての画素を、行アドレス導体の組 14 の各々 1 つに接続し、同じ列におけるすべての画素を、列アドレス導体の組 16 の各々 1 つに接続する。前記基板は、これらの外側および内側において、各々慣例的な方法における偏光層と LC 配向および保護層とを各々具える。

本表示装置の行列駆動回路 20 および 21 も、各々慣例的なものとする。行駆動回路 20、例えば、デジタルシフトレジスタ回路は、各行アドレス期間中に逐次的に交互に、各々の行導線に 14 に選択信号を供給する。この動作を、タイミングおよび制御回路 22 からのタイミング信号によって制御し、この回路 22 に、入力部 28 に供給された例えば TV 信号である到来ビデオ信号から同期分離回路 27 によって得られた同期信号を供給する。列駆動回路 21 は、1 つまたはそれ以上のシフトレジスタ／サンプルホールド回路を具え、これらの回路に、前記供給されたビデオ信号から得られたデータ（ビデオ情報）信号を、ビデオ信号処理回路 24 から供給する。回路 21 は、これらの信号を標本化し、行走査に同期したタイミングおよび制御回路 22 の制御の下に、前記パネルの時間アドレス処理における行に適切な直列から並列への変換を行う。各々の行導体 14 が選択信号によって走査されるため、関連する行の画素のスイッチング装置 25 または 26 は、ターンオンし、結果として、前記行の表示素子 30 は、これらの各々の列導体 16 においてこの時存在する前記データ信号のレベルに応じて所望の表示素子電圧に変化し、前記表示素子電圧は、前記データ信号電圧に比例する。前記選択信号の終了によって、前記画素のスイッチング装置は、ターンオフし、これによって、前記表示素子は、これらが次のフィールド周期において次にアドレスさ

れるまで、前記列導体から分離される。前記パネルの画素の各々の行は、1フィールド周期中に表示画像が構成され、この動作が連続するフィールド周期において繰り返され、連続する表示画像フィールドが生成されるように、このようにアドレスされる。例えば、TV表示の場合において、表示素子の各々の行は、TVライン周期またはより短い期間に対応する選択信号の持続期間に、TVラインの画像情報データを供給され、結果として、 $64\mu\text{s}$ のライン周期を有する半解像度PAL標準TV表示に関して、各々の行アドレス導線は、 20ms の間隔において選択信号を供給される。

LC材料の電子化学的劣化を回避するために、前記駆動信号の極性を、例えば、フィールド毎の後に、周期的に反転させる（フィールド反転）。極性反転を、ちらつき効果を減少させるために、行毎の後、または2行毎の後に行っても良く、これらは、一般にライン（行）反転およびダブルライン（行）反転と呼ばれる。

上述した説明から、前記表示装置の動作中、各々の列アドレス導体16は、各々がこの列導体に接続された画素の列における画素の各々1つに進むデータ信号電圧レベルの組から成る電圧波形を搬送することが明らかになるであろう。理想的に、ある行におけるすべての表示素子は、その関係する行導体を選択された場合、アクセスされ、表示サイクルの残りの間、電気的に分離されたままである。しかしながら、少なくとも、前記列導体電圧波形にカップリングする各々のスイッチング装置から、その関係する表示素子に対してキャパシタンスが存在し、このカップリングは、垂直クロストークを導く。このようなクロストークの影響を減少するために、前記表示装置は、データ信号調節回路40を含み、この回路は、その駆動回路において、前記表示素子から所望の出力を発生させることを目的とする前記供給されたデータ信号を、これらが前記列導体に供給する前に、このクロストークの予測される影響を補償するように調節し、結果として、前記表示素子を前記調節されたデータ信号を使用して駆動した後、前記列導体における電圧波形から生じるクロストークの影響は、前記表示素子が、クロストークをなくすことを目的とする表示出力を発生するようにする。この目的のために、列導体を経て画素に用いられることを意図される前記入力ビデオ信号からの入力データ信号の値を、前記画素が次にアドレス指定されるときまで前記列導体を経て順次にア

ドレスされる他の画素の少なくともいくつかに使用されることを目的とする前記ビデオ信号からのデータ信号の値を考慮することによって調整する。関係する画素が次にアドレス指定されるまでの期間において、同じ列導体に接続された他の画素を目的とするデータ信号から得られる、したがってこれらによって決定されるクロストーク補償値の形態において各々のデータ信号に行われる前記調整は、前記列導体において後に供給されるデータ信号の容量性カップリングによって生じるクロストークによる前記表示素子電圧における影響を補償し、結果として、前記表示素子電圧が、このカップリングによって影響を受けた場合、前記素子の結果として得られる電圧と、したがって表示出力とは、本来目的とされる、調整する前の前記データ信号の値によって規定される値に近いものとなる。

この調節の性質を理解するために、垂直クロストークを導く列カップリング効果を考察する必要がある。

カップリングの量は、

$$c = \frac{1}{1+k} \quad (1.1)$$

のように規定されるカップリング係数“ c ”に依存し、ここで、 k は、前記列導体および表示素子電極間の全体の寄生キャパシタンスに関する平均表示素子キャパシタンスの比であり、この場合において、前記スイッチングデバイスを前記列導体および表示素子間か、前記行電極および表示素子電極間かに接続し、この場合において、前記スイッチング装置を、前記行導体および前記表示素子間に接続する。これから、前記列導体および表示素子電極間のキャパシタンスは、前記カップリング係数と同様に増加し、前記表示素子のキャパシタンスが減少する場合、前記カップリング係数は、再び増加することが分かる。したがって、小さい寸法の表示素子は、所定の寸法のスイッチング装置に関して、より大きい寸法の表示素子より、垂直クロストークによる害をより多く受ける。前記カップリング係数を規定する寄生キャパシタンスは、前記スイッチング装置のキャパシタンスに大きく依存し、これを、図 2A および 2B において、点線のキャパシタ C_s によって表す。これらを、画素回路における一部が自由に動く他の漂遊キャパシタンス、例えば、TFT 表示パネルにおける列導体および表示素子電極間か、MIM/TFD 形式

の表示パネルにおける行電極および表示素子電極間かの漂遊キャパシタンスとすることができる。一般的な場合において、カップリング係数 c を、前記スイッチング装置のキャパシタンスと、前記漂遊キャパシタンスを前記表示素子のキャパシタンス、前記スイッチング装置のキャパシタンスおよび前記漂遊キャパシタンスの和によって除算した値との和に等しくなるように選択することができる。 x 番目の行における表示素子を考えると、次の表示フィールドの表示素子1から $x-1$ に対する列電圧が続く、現在のフィールドの表示素子 $x+1$ から n に対する列電圧は、 x 番目の画素にカップリングする。すなわち、 x 番目の行における表示素子のアドレス処理の後、この周期において関係する列導体16において現れる同じ列における他の $n-1$ の表示素子を目的とするすべてのデータ電圧信号は、表示素子が再びアドレスされる前にカップリングされる。したがって、いずれかの表示素子にカップリングされた列電圧は、次の $n-1$ の表示素子に対する列電圧に対応する列波形の一部である。実際問題として、前記表示装置は、ある種類の反転（フィールド、ライン、ダブルライン）によって動作するため、前記カップリング電圧は、極性が変化する。

容量性列カップリングによって影響を受ける表示素子の電圧を、以下の式によって簡単な形において表すことができる。

$$V_p' = \frac{1}{\sqrt{n-1}} \sqrt{\sum_{i=2}^{i=n} (V_p + cV_c(i))^2} \quad (1.2)$$

ここで、 V_p は、行カップリングの原因がない表示素子電圧であり、供給される列データ信号電圧に比例し、 V_p' は、列カップリングの影響を含む表示素子電圧である。列における表示素子の数は、 n であり、表示素子毎に、対応する列電圧 $V_c(i)$ が存在し、ここで i は、影響された表示素子にカップリング係数“ c ”を経てカップリングされた個々の列（データ信号）電圧を表す。加算の要素は、上述したような次の“ $n-1$ ”列電圧に対応する。 $V_c(i)$ の値は、正および負に成りうることを覚えておくことは重要である。前記表示装置がフィールド反転において動作する場合、前記列電圧の極性は、新たなフィールド毎に変化し、前記表

示装置がライン反転において動作する場合、前記極性は、新たなライン毎に交替する。

大部分の種類の表示画像に関して、ライン反転によって動作する表示パネルにおける列カップリングによる全体のエラーは、一般に、フィールド反転の場合に比べて少ない。ライン反転を使用する利点の1つは、大部分の画像に対する列カップリングと、したがって垂直クロストークの結果としての視覚的な影響が減少することである。考えるべき他の点は、表示ライン（行）の数と、帰線消去ラインを含む供給されたビデオ信号におけるビデオラインの数との差である。式(1.2)は、どのような帰線消去期間も無視している。帰線消去時間を、前記フィールド周期の重要な部分（例えば5%より長い）とすることができ、この場合、式(1.2)を変更することによって前記計算に含め、前記帰線消去ライン（例えば、PAL標準TV表示に関して、312）と、表示されるライン（すなわち、画素行の数）とを含む前記ビデオ信号の1フィールドにおけるラインの合計の数と、前記帰線消去期間ラインに対応する一定の列帰線消去電圧とを考慮することができる。しかしながら、帰線消去期間は、小さく一定のエラーであるため、このエラーを、他の駆動電圧の調整によって代わりに補正することができる。

新たな1つに向けられた値からの前記表示素子電圧における結果としてのシフトは、前記表示素子の透過率に影響する。例えば、フィールド反転において動作し、30%の透過率の背景における中央の黒い正方形の表示に使用される表示装置を考えると、列カップリングによって生じる垂直クロストークの視覚的な影響は、前記背景の残りの部分と透過性レベルが異なる中央の黒い正方形の上および下の表示領域において結果として生じる。前記表示装置が、フィールド反転において動作することから、前記黒い中央の正方形のちょうど上の領域は、前記カップリング電圧がこの領域の表示素子を黒の方向にシフトすることから、より暗く現れるが、前記正方形のちょうど下の領域は、前記（ここでは、次のフィールドからの）カップリング電圧が正の極性のものであり、したがって前記領域の表示素子電圧を他の方向にシフトするため、より明るく現れる。

このような垂直クロストークは、フィールド反転において動作する表示装置において、特に目立つ。ライン反転は、この問題をある程度減少することができる

が、表示画像の特性が、反転パターンを打ち消すような傾向のものである（例えば、黒いラインが白いラインと交互にある）場合、クロストークは、再び非常に目立つおそれがある。この種類のパターンは、一般に、コンピュータで発生する画像において見られる。上述した説明は、簡単な単色ディスプレイに関する。いわゆるデルターナブラカラー表示素子配置を使用するカラー表示装置も、これらの表示装置における行反転の効果が、原色のブロックを含む表示画像において同様に打ち消されるおそれがあることから、クロストークによる害を受ける。

前記列カップリング現象の追加された複雑な要素は、列反動と呼ばれる、表示素子がアドレスされた後の前記列カップリングの第1の変化のカップリングであり、これは、前記表示素子の全体の電圧レベルをシフトするため、全体のRMS計算（1.2 に等しい）に対する他の寄与因子である。前記列電圧波形は、この新たなレベルにおいて前記表示素子にカップリングされる。列反動は、前記表示素子電圧を、 V_p から V_{pc} に変化させ、この列における影響を受ける表示素子の列電圧は、 V_c である場合、この V_{pc} は、 V_p 引く cV_c に等しい。前記列電圧の値は、適切な符号を有する必要がある。

前記列反動現象および帰線消去期間を、前記計算に含めると、前記列カップリングの式は、

$$V'_p = \frac{1}{\sqrt{l-1}} \sqrt{\sum_{i=2}^{i=n} (V_{pc} + cV_c(i))^2 + (l-n)(V_{pc} + cV_b)^2} \quad (1.3)$$

となり、ここで、 l は、1つのビデオ信号フィールドにおけるラインの合計の数であり、 V_b は、一定の帰線消去電圧である。

図の表示装置において、垂直クロストークの現象は、前記表示素子に供給されるデータ信号電圧の適切な変更によって補償される。式1.2は、列カップリングの影響を受ける場合の表示素子の電圧 V'_p を与える。代わりに、調整したデータ電圧 V_n を、

$$V_n = V_c - \Delta V_p \quad (2.1)$$

ここで、補償係数 ΔV_p を、

$$\Delta V_p = V_p' - V_p \quad (2.2)$$

によって与える式にしたがって、前記表示素子に供給することによって、列カップリングが生じた後、このような列カップリングの影響は、实际的に補償され、前記表示素子における電圧は、前記必要とされる値に近づき、結果として、前記表示素子から得られる表示出力は、意図された値に近づく。例えば、所定の表示素子に関して、4V rmsの電圧が必要で、式1.2 を用いた後、実際の電圧が4.3V rmsとなり、この追加の0.3V rmsは、関係する表示素子のアドレス処理と、次のアドレス処理との間のフィールド周期中に供給される同じ列導体に接続された他の表示素子に対するデータ電圧の列カップリングによるカップリング電圧であることが分かる場合、前記表示素子に対して初めに意図された3.7V程度を印加することによって、列カップリングの影響を、大部分打ち消すことができ、実際のrms表示素子電圧は、意図された4Vの電圧に極めて近づく。もちろん、この補償が、同じ列における他の表示素子に対して、これらが調整される前に本来意図されたデータ信号から得られたものであることを記憶に止めると、この補償は、正確ではない。これらのデータ信号が、同様に補償された場合、前記列導体に供給される実際のデータ信号レベルは、もちろん、前記調整されたデータ信号の計算において使用したレベルとは異なる。例えば、x 番目の行における表示素子を考えると、列カップリングに対する補償は、行x+1 からx+(n-1)における表示画素に対して予想される列電圧から得られる。次の表示素子x+1 を、列カップリングに関して補償した場合、前記補償されたデータ信号は、前記表示素子電圧を、予想される値から極めて僅かに変化させる。これは、表示素子x+1 に対する実際の列電圧が、仮定した値と異なってしまうため、表示素子x に対する計算がエラーを含むことを意味する。正確な補償は、静止画像および周期的な動画像に対してのみ可能である。しかしながら、上述した方法は、非常に好結果であり、視覚的な垂直クロストークを、除去するか、少なくとも意味がある程度減少することができることが分かっている。フィールド反転によって動作する表示装置に対して予想される最悪の表示状態を含むシミュレーションにおいて、表示素子は、列カップ

リングによる追加の0.25Vを有することが分かっている。簡単な式1.2を使用するアルゴリズム式2.1を用い、列カップリングを補償する目的に関して前記表示素子に供給されるデータ信号のレベルを調節すると、実際の列カップリングによる表示素子における追加の電圧は、3mVに減少する。100から1のオーダへのこの得られた減少は、すべての実的な用途に関してまったく十分である。

フィールド反転で動作し、補償がなく、グレイスケールの背景上の中央に黒または白の正方形を表示する表示装置による実験において、前記中央の正方形のちょうど上および下の領域の透過性は、前記背景の残りの部分の透過性レベルとかなり異なるが、補償によってこれらの差は、効果的に除去され、垂直クロストークは、視覚レベル以下に減少する。式1.3を使用する補償は、以前としてさらなる改善を与えることができる。単一ライン反転の下でのクロストークは、フィールド反転クロストークに対するのと同様の程度の向上を示す。垂直クロストークは、ライン反転の下で動作する表示装置における全体的な透過性の変化としてより、ラインフリッカとしての方が多くことは明らかであることから、前記補償は、フリッカレベルを減少する。

前記データ信号調整回路を、容量性カップリングによる影響以外で、同様に垂直クロストークを導く影響に関して、特に、漏れ電流誘導クロストークを発生するスイッチング装置における漏れに関して、前記データ信号を追加に補償するように構成してもよい。この漏れ電流を、例えば、スイッチング装置（TFTおよび2端子措置）の固有の振る舞いと、いくつかの場合における感光性の特性とから生じたものとすることができ、この漏れ電流の量は、前記列導体に供給される電圧のレベルに同様に依存する。この影響に対する調整を、前記データ信号補償値の誘導における式1.2の適切に変更した形態を使用することによって、前記データ信号調整回路において調整することができる。

再び図1を参照すると、入力ビデオ信号を予め補償することによる垂直クロストークに関する補償を、ビデオ処理回路24と列駆動回路21との間に接続された補償ユニット40によって行うことができ、このユニット40は、好適には処理回路24からユニット40に供給されるアナログ入力ビデオデータ信号の電圧レベルを、ディジタル形式に変換し、式2.1の補償アルゴリズムに従って、列駆

動回路 2 1 によって前記画像素子に供給すべきデータ信号を決定する。

表示装置、特にユニット 4 0 の実施例と、これらの動作の方法とを説明する。
第 1 実施例において、前記入力データ信号の調整を、前記入力ビデオ信号によって決定されるような、次の周期において同じ列に接続された他の画像素子に使用されるべき、実際のデータ信号に基づいて行う。

式 1.2 が示すように、前記補償アルゴリズムの実現化は、各々の画像素子に対して補償されたデータ信号を発生するために、広範囲の計算を必要とする。式 1.2 における和の項を、以下のように分解し、簡単にすることができる。

$$(n-1)V_p^2 + 2cV_p \sum_{i=2}^{i=n} V_c(i) + c^2 \sum_{i=2}^{i=n} V_c(i)^2 \quad (3.1)$$

列における次の表示素子 $p+1$ に関する和は、

$$(n-1)V_{p+1}^2 + 2cV_{p+1} \sum_{i=3}^{i=n+1} V_c(i) + c^2 \sum_{i=3}^{i=n+1} V_c(i)^2 \quad (3.2)$$

となる。 $V_c(n+1)$ は、ようするに次のフィールドの $V_c(1)$ であることに注意されたい。表示素子 " $p+1$ " に関する 2 つの和は、

$$\sum_{i=3}^{i=n+1} V_c(i) = \sum_{i=2}^{i=n} V_c(i) + V_c(n+1) - V_c(2) \quad (3.3)$$

であるから、簡単な加算および減算によって、表示素子 " p " に関する加算とは異なる。

したがって、2 つの一連の和を列ごとに保つと、この計算を意味のある程度簡単にすることができる。

他の画像素子に対して意図される実際のデータ信号を、予め知る必要があるため、列カップリング補償ユニット 4 0 は、現在の表示素子に影響を及ぼす前記表

示素子に対するデータ信号の値を記憶するフィールド記憶部を必要とする。この記憶部を、表示素子値の古い行が抜けた場合、表示素子値の新たな行が入るため、" 回転 " 記憶部とする。現在の表示素子の内容が、未来の表示素子の内容によって影響を受けるため、前記フィールド記憶部は必要である。実際は、この記憶部はフィールド遅延であり、このフィールド遅延は、前記表示と同じ数の輝度グ

レイスケールによって動作すべきである。

式1.2 および2.1 に関係して行われる回路40の実施例の動作を、回路実現の一例を図式的に示す図3を参照して説明する。

前記ビデオ信号が前記補償回路を通過するため、垂直クロストーク補償を、各々の画像素子ごとに別々に計算しなければならない。したがって、ハードウェアは、式1.2 および2.1 を、画像素子レートにおいて解く必要がある。ルックアップテーブルを使用し、必要な速度において、前記補償を計算することができる。前記ルックアップテーブルは、これらの式を解くために、以下の3つの入力変数を必要とする。

- a) 画像素子 (y, x) に対する画像素子電圧 V_p で、ここで、 y および x は、各々行および列を示す。
- b) 次のフィールド周期中に列 x に印加されることを意図する列電圧の和 ΣV_c 。
- c) 次のフィールド周期中に列 x に印加されることを意図する列電圧の2乗の和。

実際問題として、これらの変数を、実際の電圧の直接的なバイナリ表現よりも、デジタルビデオデータの形式において、前記ルックアップテーブルに供給することができる。簡単なデータ V_p または V_c 変換を、どのような追加の複雑性なしに、前記ルックアップテーブルに組み込むことができる。

各々の画像素子に関するスクラッチから ΣV_c および ΣV^2 を計算するよりも、 ΣV_c および ΣV^2 を、一連の合計として保持し、RAM に記憶させる。これらの一連の合計を、以下のように保持することができる。列 x に対する画像素子データ信号が前記フィールド遅延に入るたびに、前記画像素子に対するデータおよびデータの2乗を、前記列の和に追加する。列 x に対する画像素子データ信号が前記フィールド遅延から出てくるたびに、前記画像素子に対するデータおよびデー

タの2乗を、前記列の和から減算する。別々の和が、前記表示におけるすべての列に対して保持される。したがって、所定の画像素子に関するビデオデータがフィールド遅延から出てくる時間によって、同じ列におけるすべての画像素子に関

する ΣV_c および ΣV^2 は、合計され、この画像素子に関する垂直クロストーク補償の計算においてすでに使用したものである。このように、適切な補償を計算し、前記フィールド遅延から出てくるため、各々の画像素子に関するビデオデータに追加することができる。

図3を参照すると、フィールド遅延(RAM)を44において示し、このフィールド遅延に、処理回路24からアナログデジタル変換器(図示せず)を経てアナログビデオのデジタル表現 $Vdata(x, y)$ を連続的に供給する。RAM フィールド遅延44のタイミングを、タイミングおよび制御回路22からのクロックおよびリセット信号、CLK およびRST によって制御する。信号 $Vdata$ を、ルックアップテーブル45にも供給し、このルックアップテーブル45から、前記表示素子の電圧透過特性に関係を有する値 V_c^2 (ここで V_c は、列電圧)を得る。同様に、前のフィールド周期からフィールド記憶部44から出力された信号 $Vdata$ を、ルックアップテーブル46に供給し、ここからこれらの V_c^2 値を得る。ルックアップテーブル45および46からの V_c^2 のこれらの値を、加算器47に供給し、その出力(新フィールドからの V_c^2 から、旧フィールドからの V_c^2 を引いたもの)を、回路22からのクロックおよびリセット信号CLK およびRST によって制御される他の加算器48に供給し、ここで、ラインバッファ(RAM)に記憶された前の和(ΣV_c^2)に加算し、新たな和(ΣV_c^2)を得る。次にこれを補償ルックアップテーブル50に第1入力信号として供給し、ラインバッファRAM 49に書き戻す。同様のシステムだが、異なったルックアップテーブル45および46を有するシステムを使用し、 V_c (ΣV_c)の和を得て、ルックアップテーブル50に第2入力信号として供給する。回路50の第3入力部に、フィールド遅延44から出力される画像素子データ値 $Vdata$ を供給する。次に、ルックアップテーブル50から得られた、式1.2(または1.3)および2.1 に従って十分に補償された、調整された画像素子 $Vdata$ 信号を、連続的な形式において、列駆動回路21に、デジタルアナログ変換器を経て供給し、この回路21において、標本化

され、直並列変換を行われ、前記画像素子を駆動するために適切な列導体に供給される、調整されたデータ電圧信号 $V_n(x, y)$ を与える。 ΣV_c および ΣV_c^2 を別々に

得て、これらの値をLUT 50に独立に供給する代わりに、 ΣV_c から ΣV_c^2 の近似を得ることもできる。しかしながら、このような技術は、必要な回路部品における縮小を考慮に入れることができるが、達成されるデータ信号補償は、必然的に正確さに欠けるものとなる。

図3の参照とともに上述した実施例は、大部分の通常の種類の表示画像に対する極めて効果的な補償を行うことができるが、その実現に関して、補償を、次のフィールドに関する入力ビデオ信号によって決定される、表示素子に対する実際のデータ信号から計算するために、フィールド記憶部を必要とする。他の実施例において、フィールド記憶部の必要なしに適切な補償を与えることができる他の方法を使用し、この状況において、提供される画像は、時間周期において、大きい範囲の静止画像、または、静止部分を含む画像を伴うことを期待される。この代わりの方法に関して、補償は、関係する表示画像の静止部分に対してのみ得られるが、フィールド記憶部が必要なく、結果として、比較的簡単で、結果として廉価な回路網を使用できるという利点が提供される。LUT 50において実際に具体化される垂直クロストーク補償アルゴリズムは、式1.2を使用し、列カップリングの影響後の表示素子電圧を得る。前の実施例において、この式にしたがった表示素子電圧の導出を、実現化の目的のために、ラインバッファ／記憶部、すなわち図3における記憶部49を用いて、列ごとの一連の和を使用することによって簡単にした。前記和と、したがって用いるべき補償とは、次の実際の $n-1$ 列データ信号電圧に依存するため、フィールド記憶部44が必要である。この代わりの実施例における補償アルゴリズム（式1.2）の原理は、依然として同様であるが、列の和を計算する方法が異なっている。このような計算は、静止画像を表示しているため、1フィールド周期後の列電圧は、（フィールド反転動作の場合において）単に現在の列電圧の負であるという仮定を基礎とする。したがって、（図3の参照とともに、和 ΣV_c および ΣV_c^2 に対応する）一連の列電圧の和を、現在の列電圧値を使用することによって保持し、（1フィールド後の）将来の列電圧値を予想することができる。したがって、前の実施例において、入力デー

タ信号を、意図されたデータ信号が入力ビデオ信号によって決定される実際のデ

ータ信号となる次のフィールド周期中に同じ列導体に接続された他の画像素子に対して意図されるデータ信号から得た補償値に従って調整し、やがて来るフィールド周期中に供給されるビデオ信号にしたがって、実際のデータ信号を知る必要があり、これはフィールド記憶部を必要とする。この代わりの実施例において、データ信号の調整に使用される補償値を、次のフィールド周期中に同じ列導体に接続された他の画像素子に対して意図されたデータ信号の値から同様に得るが、意図されたデータ信号を、単に現在のフィールドにおける対応する画像素子データ信号の逆として仮定する。

この目的のためのデジタル信号調整回路の動作は、各々の画像素子列に対して保持すべき各々の和 ΣV_c および ΣV_c^2 毎に1対の和を必要とする。これらの和を、ライン記憶部において保持することができ、この記憶部の各々の場所は、個々の列に関する和を含む。

前記データ信号調整回路の動作を、一種のフローチャートの形式において、図4において図式的に示す。図4を参照すると、図示したような動作は、2つの連続的なフィールド、フィールドsおよびフィールドs+1をカバーし、1つの列のみに関係し、前記表示パネルの列kのみを示すが、関係する他のすべての列に関する補償された信号の発生における動作は、同一である。

図4では、文字Aは、既に説明した和 ΣV_c を表し、これを、次のフィールド周期に亘る（表示アレイを表すボックス60のラインによって示したような）列kに対する列の和の（ラインストアに記憶された）実行予測とする。したがって、 $A_{s+1}(K, 1)$ 及び $A_{s+1}(K, 1)$ は、列k及び行1の画像素子に対するフィールドs+1の列の和並びに列k及び行nの画像素子に対するフィールドs+1の列の和をそれぞれ示す。文字Bは、次のフィールド周期の終わりの列kに対するラインストアに記憶された列の和の値の新規予測を示す。したがって、和Bは、 ΣV_c に等しいが、零から各フィールド全体に亘って実行される。このために、和Bは、図4の61に示したように、各フィールドの始めで零にリセットされる。和Bは和Aと比較され、62で示すように、これらの和が各フィールド周期で一旦相違すると、正確な和Aが用いられる。

各和の計算手順は以下の通りである。

まず、和Aの計算に関しては、和 $A_{p+1}(k, 1)$ を、この場合フィールドsの行 $i+1$ からフィールド $s+1$ の行 $i-1$ までの次のフィールド周期全体に亘る列 k に対する列の和の実行予測とする。この和は、列 k の画像素子に対するデータ信号を受信する度に更新される。更新は、現在のフィールドの $V_c(k, i)$ が次のフィールドの $-V_c(k, i)$ に等しいという仮定に基づくものである。したがって、

$$A_{s+1}(k, i) = A_{s+1}(k, i-1) - 2V_c(k, i) \quad (4.1)$$

和Bの計算に関しては、和 $B_{s+1}(k, 1)$ を、フィールド $s+1$ の終わりにおける列 k に対する列の和の新規予測とする。和Bを、フィールドsの開始で零に設定する。予測される和はこの場合、フィールドs中に、フィールドsの $V_c(k, i)$ がフィールド $p+1$ の $-V_c(k, i)$ に等しいという仮定を用いて計算される。したがって、フィールドpの終わりでは、和Bは、

$$B_{s+1}(k, n) = \sum_{i=2}^{i=n} V_c(s+1)(k, i) = - \sum_{i=2}^{i=n} V_c(s)(k, i) \quad (4.2)$$

各フィールドの終わりで、和Bを、和Aを補正するのに使用する。画像が静止している場合、二つの和は等しい。しかしながら、画像が変化する場合、和Aは不正確で和Bと等しくない。

和Aを、式1. 2に置換するとともに、LUT 50で使用して、画像素子 (k, i) の垂直クロストーク補正を計算することができる。補正アルゴリズムで用いられるこの式は、平方和も含む。この平方和 $\sum V_c^2$ を、同様にして獲得する。

この技術は、フィールド記憶装置を用いる上記実施の形態の技術と同様の結果を静止画像上で生じる。この際、上記がフィールド間で変化しないので、フィールド記憶装置は必要でない。しかしながら、動画を表示する場合、列電圧予測、実行和及びクロストーク補正は不正確となる。二つの画像間の突然の変化は、2フィールド上の補正が誤っているがこれが目立つものではないことを意味する。誤った補正は二つのフィールド周期の間（60Hz表示に対して約33ms）にのみ存在

する。

連続的な変化を含む連続動作が描写される場合複雑なものとなる。これらの状況下では、「エラー」補正が連続的に存在するので、「エラー」補正が表示された画像中に可視となるおそれがある。このようなおそれを回避するために、特定列の補正を、各フィールド周期の終わりにおける和A及びBの値に応じて変えることができる。目立つ変化をしなかった列は、次のフィールド中列に適用される補正を有することができ、それに対して、目立つ変化をした列を補正から除外することができる。したがって、フィールドs+1 中列kの画像素子に適用すべき補償を行うために、以下の状況を適用する。

$$|A_{s+1(k,n)} - B_{s+1(k,n)}| \leq d \quad (4.3)$$

この状況は、図4の「比較」段で決定される。dの値は、（最も感知される）0から（有効に不作動状態にする）理論最大まで変わることができる。各列の補正オン／オフビットを、フィールド周期の持続時間中記憶させる必要がある。これを、各列の和に従ってラインストアに保持することができる。

図5は、図3のものと比較するために、本実施の形態の補償ユニット40の回路の実現の一形態を線図的に図示する。本例は、LUT 50に供給するための ΣVc すなわち和Aを示す。この図から、主な相違は、図3のフィールド遅延RAM 44の形態のフィールド記憶装置を有するというよりはむしろ、本形態の回路が、実際には、LUT 50にも供給されるアナログビデオのデジタル表示Vデータ(x, y)が供給されるとともに「将来の」データすなわち現在のデータの反転を具える次のフィールドの用の予測されるデータをLUT 45に供給するインバータ70の形態の負フィールド遅延を有することである。新 ΣVc すなわちAは、各フィールド周期ごとに一度、71で和Bに補正される。この補正は、図4及び値dを決定する式4.3を参照して説明したような比較段を意味し、その結果、dの値に依存する「オン」又は「オフ」補正制御信号（ビット）csがラインストアRAM 49に供給されて、次のフィールド周期で関連の特定列に対して補正したデータ信号を使用すべきか否かを表す。

図5で実行する回路の形態は、簡単な比較のためのものである。この回路の実

際の実現を図 6 及び 7 に図示し、図 6 は、和 A を発生させて補正したデータ信号を供給するのに実際に用いる方法を示す。図 6 を参照すると、処理回路 24 から入力部に供給されるビデオデータ Vdata は、LUT 50 及びインバータ 80 に供給される。インバータ 80 の動作は、関連のラインが正ラインであるか負ラインであるかに応じて入力信号 L によって制御される。インバータ 80 からの出力は、図 3 の LUT 45 に相当するルックアップテーブル 82 に供給され、このルックアップテーブル 82 から値 V_c が獲得される。次いで、 V_c の値が -2 倍乗算器 83 に供給されて、ラインストア 49 から獲得された旧和 A とともに (式 4. 1 の要求に関する) 加算器 48 で使用される $-2V_c$ の値を付与して、新 ΣV_c (和 A) を発生させる。

図 7 を参照すると、各フィールド周期の終わりで和 A を補正するために用いられる予測和 B を、LUT 82 の出力部から V_c の値を取り出すとともに加算器 90 にこれらの値を供給することにより計算する。この加算器 90 に、ラインストア 49 から獲得される行零から関連の行までの旧 ΣV_c (B) も供給されて、新 ΣV_c を発生させる。この新 ΣV_c は、その後ラインストア 49 に書き込むとともに、各フィールド周期の終わりで 2 の相補インバータ 91 にも供給される。このインバータ 91 は、和の全ビットを反転し、結果に 1 を加算する。その出力値、和 B をその後、各フィールドの終わりで実行和 A を補正するために新規予測として使用する。加算器 90 に供給される旧 ΣV_c を、図 7 においてリセット信号 R で示したように、各フィールドの始めに零にリセットする。

LUT 50 にも入力される和 ΣV_c^2 を、LUT 82 に等しい LUT により V_c の代わりに V_c^2 を付与する点を除いて同様な回路を用いて発生させる。図 3 の実施の形態に関連して既に説明したように、 ΣV_c から ΣV_c^2 の近似を代わりに獲得することができる。これにより、必要な回路の総数を減少させることができるが、補償の正確さが得難くなる。

上記実施の形態において、各画像成分に対して行われる調整は、同一列の他の全ての画像成分に対するデータ信号レベルに基づくものである。両実施の形態の回路 40 の特質及びこれら回路の動作方法により、これを直接理想的に達成することができる。しかしながら、例えば他の種類の調整回路を用いても、画像素子

のアドレス指定及びその次のアドレス指定に従う周期で同一列導体に供給するように意図した全てのデータ信号より少ないデータ信号を用いて、画像素子に対するデータ信号電圧の調整を達成することができる。他の画像素子の割合に対するデータ信号を用いることにより、クロストークの減少が小さくなるが、所定の状況において許容しうる十分な結果が得られる。

この開示を読むことにより、他の変形は当業者には明らかである。このような変形は、液晶表示装置の分野で既に既知であり、かつ、ここで既に説明した特徴の代わりに又はこれに加えて用いることができる他の特徴を含むことができる。

【図 1】

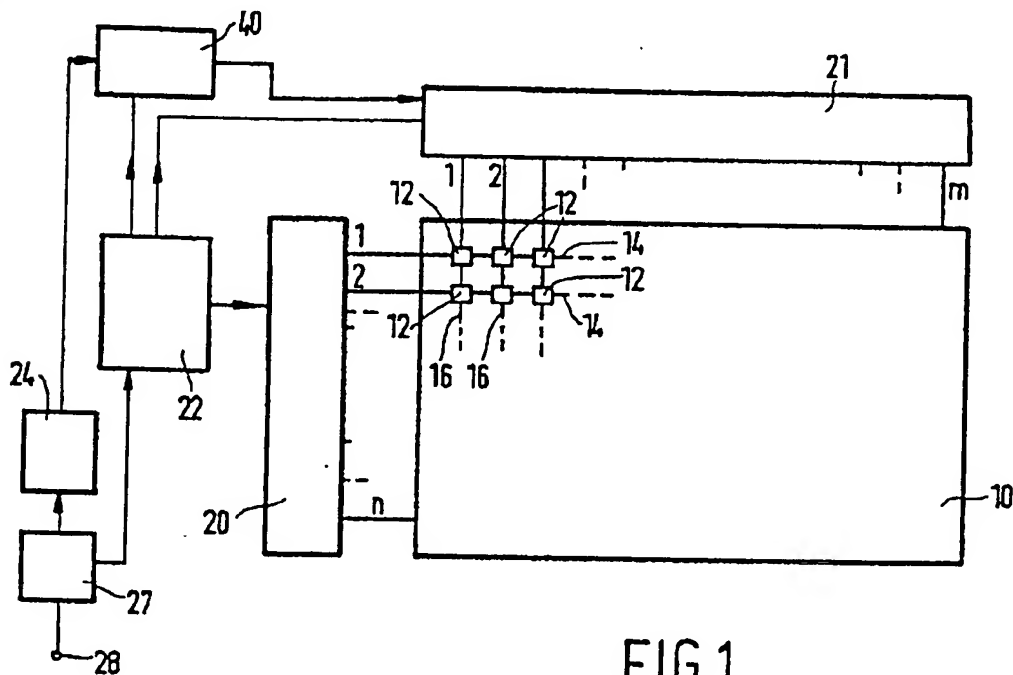


FIG.1

【図2】

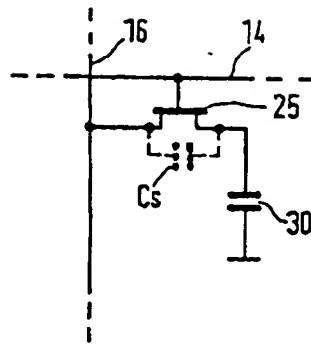


FIG. 2A

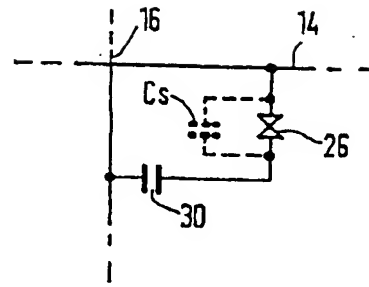


FIG. 2B

【図3】

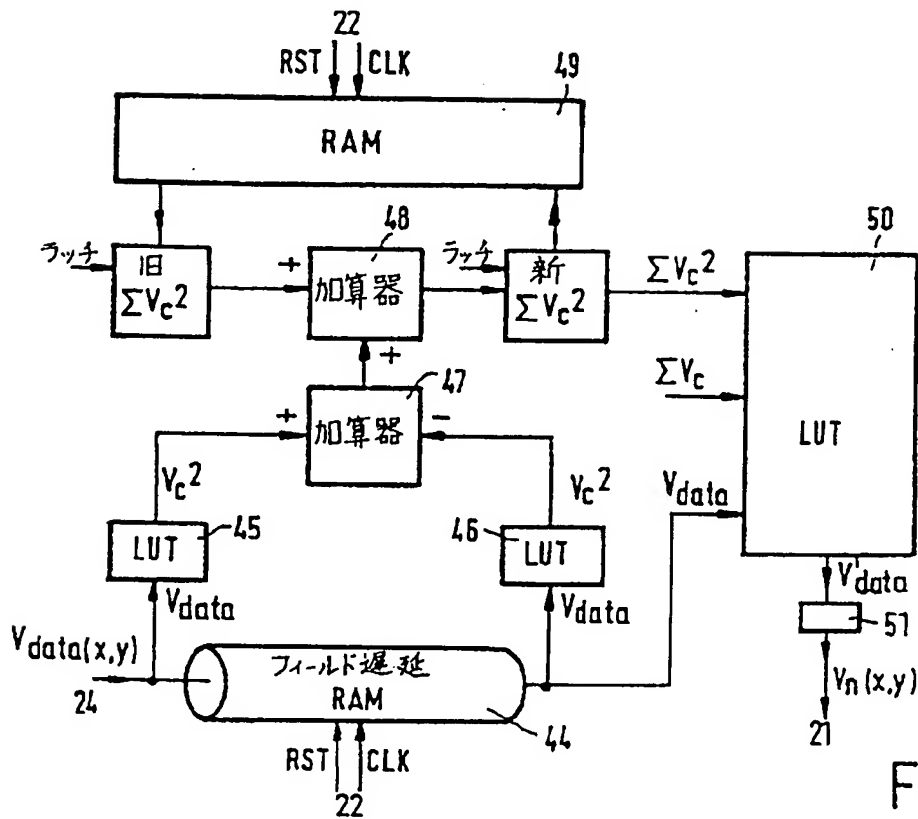


FIG. 3

【図5】

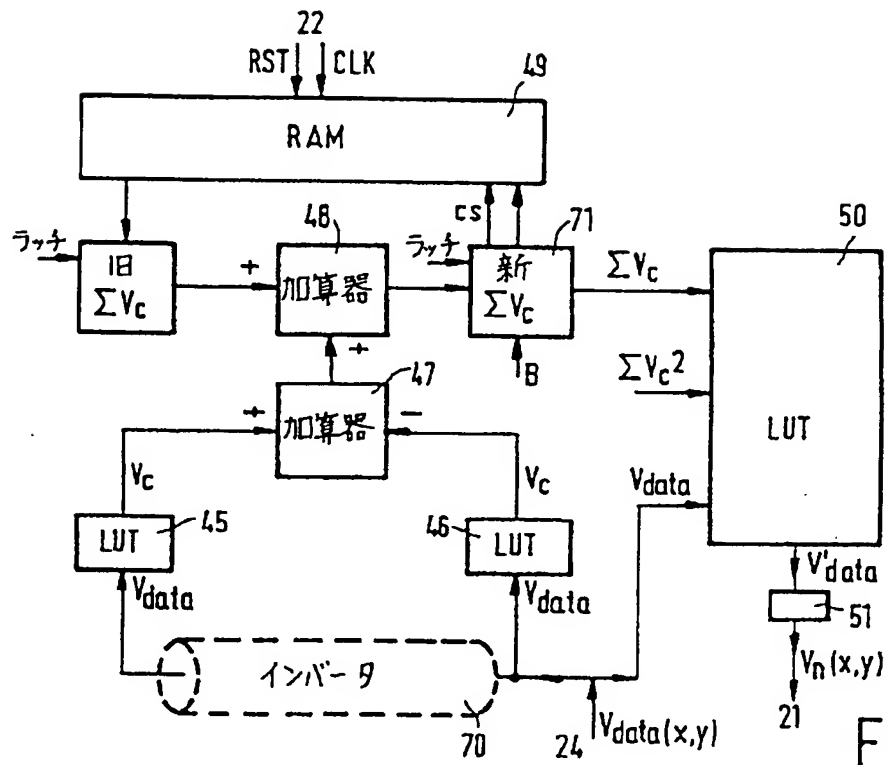


FIG. 5

【図4】

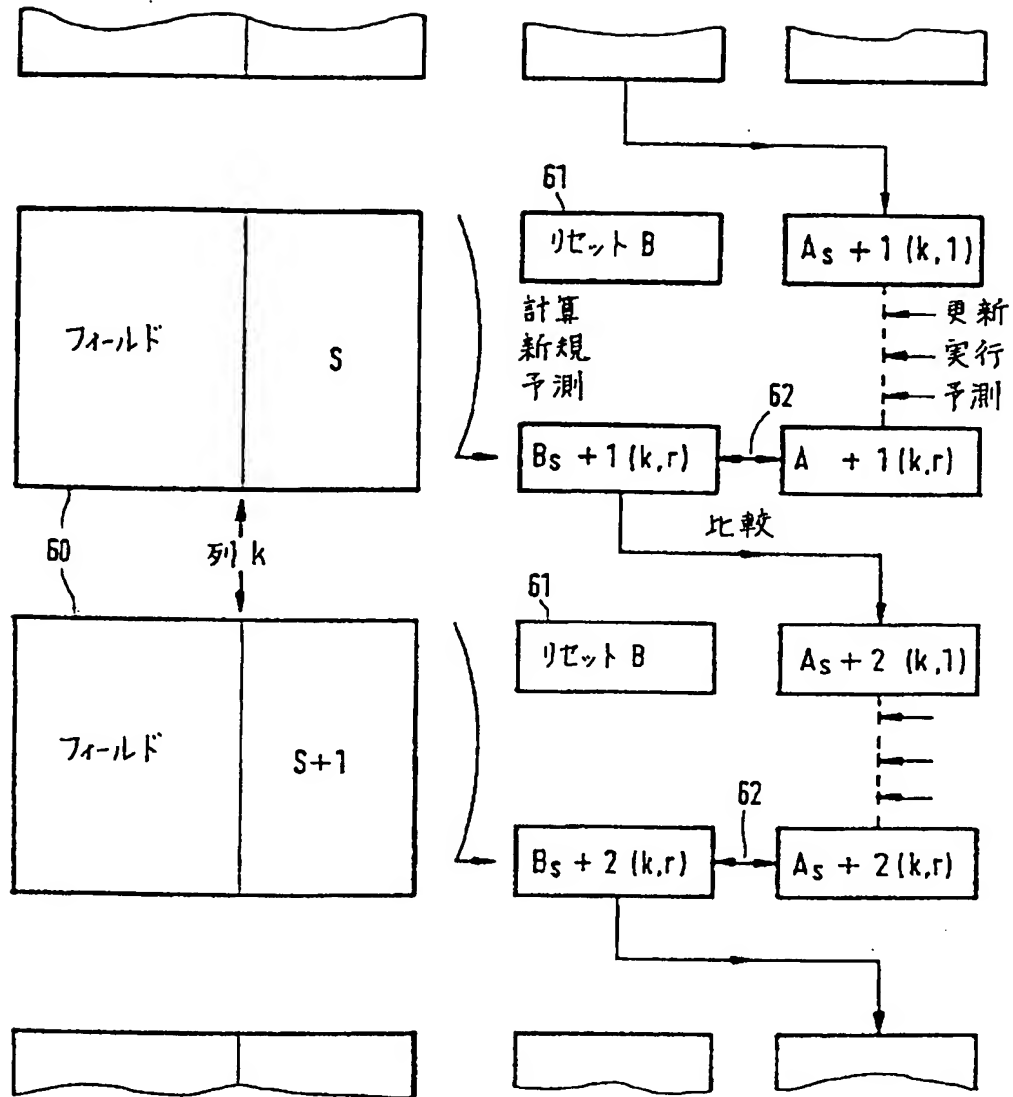


FIG.4

【圖 6】

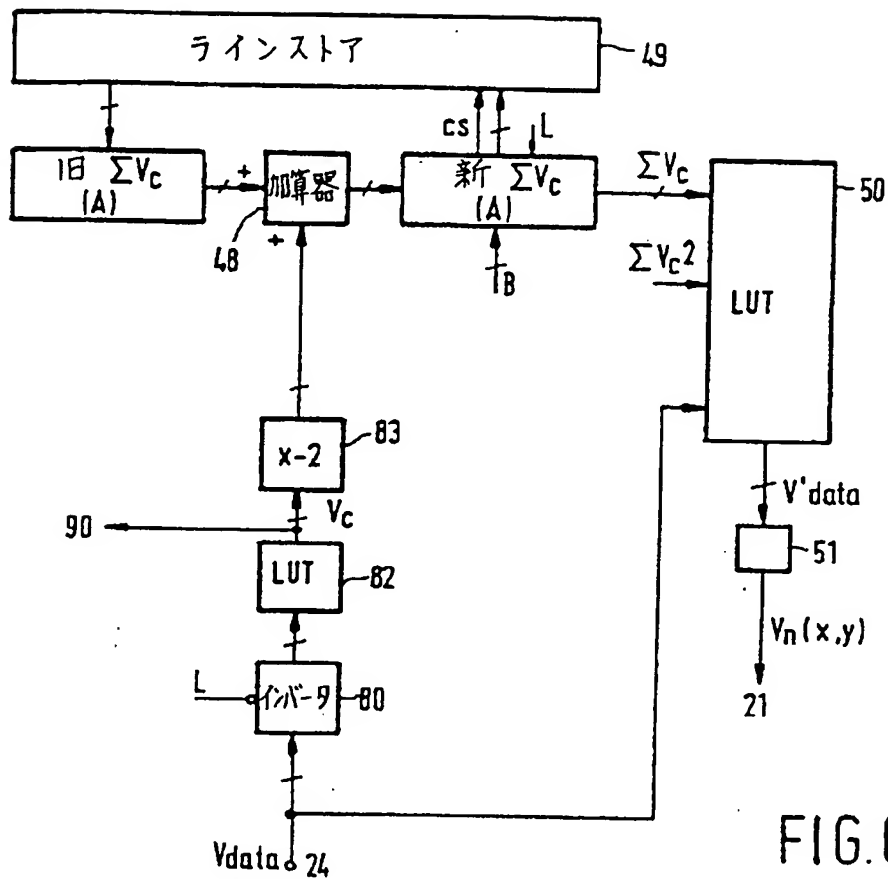


FIG. 6

【圖 7】

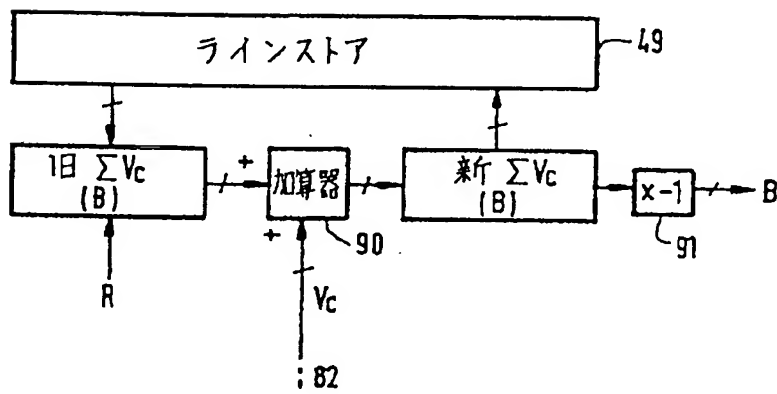


FIG. 7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 95/00941

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: G09G 3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, CLAIMS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0622772 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 2 November 1994 (02.11.94), page 3, line 37 - line 43 ---	1,2,9
A	EP 0313876 A2 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 3 May 1989 (03.05.89), abstract -----	1-2,9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "B" earlier document but published on or after the international filing date
- "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 March 1996

Date of mailing of the international search report

26 -03- 1996

Name and mailing address of the ISA/
Swedish Patent Office
Box 5055, S-102 42 STOCKHOLM
Facsimile No. +46 8 666 02 86

Authorized officer

Jan Silfverling
Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT
Information on patent family members

05/02/96

International application No.
PCT/IB 95/00941

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A1- 0622772	02/11/94	NONE	
EP-A2- 0313876	03/05/89	DE-D, T- 3886678	30/06/94
		HK-A- 137894	16/12/94
		JP-A- 1137293	30/05/89
		SG-A- 149894	17/03/95
		US-A- 4845482	04/07/89

フロントページの続き

(81) 指定国 EP (AT, BE; CH, DE,
DK, ES, FR, GB, GR, IE, IT, LU, M
C, NL, PT, SE), JP, KR, SG